

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-147458

(43)Date of publication of application : 07.06.1996

(51)Int.CI. G06T 1/60

(21)Application number : 06-285141 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

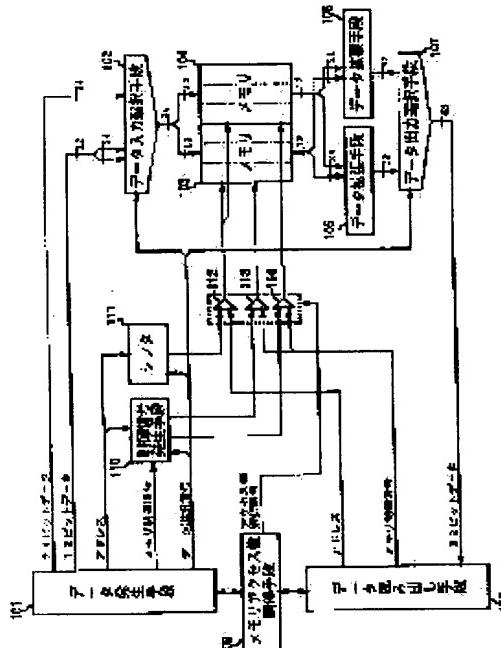
(22)Date of filing : 18.11.1994 (72)Inventor : HORIUCHI KOICHI
MATSUMOTO TAKAO

(54) MEMORY CONTROL UNIT

(57)Abstract:

PURPOSE: To decrease the buffer memory capacity of an information processing system which generates plural data differing in bit width.

CONSTITUTION: A data generating means 101 generates data with 24-bit and 12-bit widths. Memories 103-104 have 24-bit width. The data with the 12-bit width are stored in the memories so that two data in adjacent addresses are successive. Data expanding means 105-106 expand the 24-bit data stored in the memories 103-104 into 32-bit data. Those data are read out by a memory read means 108. The memories are stored with only the data generated by the data generating means 101, so the buffer memory capacity is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平8-147458

卷之三

(5) Int.Cl.
G 0 6 T 1/60
規則記号
序内整理番号
F 1
技術表示箇所

(21)出願番号	特願平6-285141	(71)出願人	000005321
(22)出願日	平成6年(1994)11月18日	松下電器産業株式会社	
(72)発明者	細内一光	大阪府門真市大字門真1006番地	

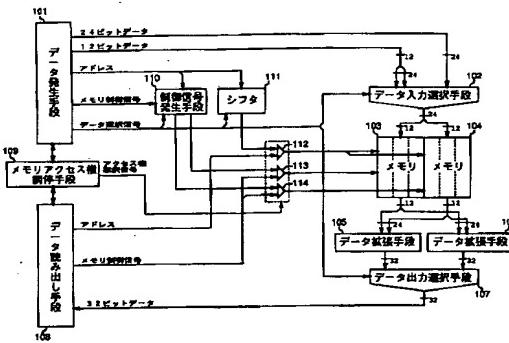
(72)発明者
株式会社内
大蔵府門真市大字門真1006番地 松下電器
松本 大夫
(74)代理人
弁理士 松田 正道

(54) [美明の名紙] 又モリ御御表

三

離処理システムにおいて、バックアップモリ容量削減する

【構成】データ発生段10-1は24ビット幅のデータを発生する。メモリ03～10-4は24ビット幅ト幅を持つ、12ビット幅データは隣接するアドレスのデータが2個選択されメモリに格納される。データ並置段10-5～10-6はメモリ03～10-4に格納された24ビット幅データを32ビットに拡張する。このデータをメモリ読み出し段10-8が読み出す。メモリにデータが発生段10-1の発生するデータのみ格納されため、バッファメモリが削減される。



【卷之三】

卷之三

する (3×(2のN乗)) ピット幅のメモリと、前記データ発生手段の川に接するデータ選択信号に基づき前記データを読み出す手段の川に接するデータを選択し前記メモリへ入力するデータ入力選択手段と、前述メモリに格納されたデータを読み出すデータ読み出し手段と、前述メモリに格納されたデータに前述データ発生手段の川に接するデータを読み出すデータ読み出し手段と、前述メモリ30 5へのメモリ制御信号を選択するセレクタである。

タのビット幅によって定められたビット位置に任意のデータを付加して(4×(2Nの乗))ビット幅にする複数のデータ拡張手段と、前記データ発生手段の出力するデータ選択手段に、基づき前記データ拡張手段の出力するデータを選択し前記データ読み込み手段に下段へ入力するデータを選択し前記データ読み込み手段に下段へ入力するデータ出力手段とを備えたことを特徴とするメモリ制御装置

【音楽】
〔音楽〕の利用分野は、本登場は、複数の階層ビット軸を付加し、メモリのビット幅を32ビットに合わせて構成する。図4にデータ搬送の例を示す。ここでは、データ転送用データを発生する階層別システムにおいて、各子下段3-1の値に対する階層データ4-01をビット2から0に割り当てることで32ビット軸のデータ4-02を作れる。

【従来の技術】近作のCPUの高機能性、メモリの大容量などにともない、情報処理システムの処理性が向上し、情報処理システムが扱うことができるデータ量も増す。図3-0-1の出力ナラデータ選択部分によって、24ビット幅データ、つまり32ビット幅に拡張されたデータを扱う手段3-0-3の出力を遮蔽し出力する。

【0003】映像データの1帧あたりの階調ビット幅
は、階調密度かつ階調範囲より映像の高い階調データを
扱うことができるようになってきたことを意味する。
【0004】映像データの1帧あたりの階調ビット幅
は、階調密度3.0にメモリ3.0以上のアクセス機能を要求す
る。メモリアクセス機能は3.0では、データ操作が可能で
下段3.01とデータ読み出し段3.06との間でメモリ

自然叫などのフルカラー画像は一般的に24ビット幅であり、X線写真などのグレイスケール画像は一般的に12ビット幅である。

データをデジタルデータとして取り込んだり、圧縮されたりして画像データを伸長したり、3次元グラフィックス処理を行ない画像データを生成したりというように、情報処理

【0005】一つの情報処理システムが、荷物ピット幅よりも異なる複数の画像データを発生する場合のバッファメモリのメモリ制御装置の、例を図3に示す。

データ読み出し手段 1-08 の出力するメモリ制御信号によって、メモリ 1-04 に対して出力する。これらのアドレスとメモリ 1-04 から読み出された 24 ビット幅データに合わせて出力する。図 6-3 でデータ読み出し端子を示す。ここでは、メモリ 1-03 とメモリ 1-04 から読み出された画像データ 201-01 をビット 23 から 0 に割り当てる。データ読み出し手段 1-06 がビット 0 である。

【0039】データ出力選択手段 1-07 は、データ発生手段 1-01 の出力するデータ選択信号によって、24 ビット幅データ、つまり 32 ビットに拡張されたデータ拡張手段 1-06 の出力を選択し出力し、このデータはデータ読み出し手段 1-08 へ読み込まれる。

【0040】従って、24 ビット幅データの場合には、バッファメモリとして、12 ビット幅のメモリキヤ側 (1-24 ビット幅) に記憶されればよい。12 ビット幅のメモリは広く市場に流通している 4 ビット幅の RAM を 3 個並列に並べることで容易に構成することができる。バッファメモリを画像データだけで使いるので、画像データ以外の余分なデータを格納するためのバッファメモリを必要としない。

【0041】同様に、データ発生手段 1-01 が 12 ビット幅データを発生する場合を考える。

【0042】データ入力選択手段 1-02 は、データ発生手段 1-01 の出力するデータ選択信号によって、12 ビット幅データを選択し、この 12 ビット幅データを 2 個連接して 24 ビット幅で出力する。

【0043】データ発生手段 1-01 は、メモリアクセス機能手段 1-09 にメモリ 1-03 とメモリ 1-04 へのアクセス機能を要求する。メモリアクセス機能手段 1-09 は、データ発生手段 1-01 とデータ読み出し手段 1-08 との間にメモリアクセス機能を隔離し、データ発生手段 0-11 に対しメモリ 1-03 とメモリ 1-04 のアクセスを許可する。

【0044】制御信号発生手段 1-10 は、データ発生手段 1-01 の出力するデータ選択信号に基づき、データ発生手段 1-01 の出力するアドレスの最低位ビット (ビット 0) が「0」の時はデータ発生手段 1-01 の出力するメモリ制御信号をセレクタ 1-13 に、データ発生手段 1-01 の出力するアドレスの最高位ビットが「1」の時はデータ発生手段 0-11 に対しメモリ 1-03 とメモリ 1-04 のアクセスを割り当てる。

【0045】シフタ 1-11 は、データ発生手段 1-01 の出力するデータ選択信号に基づき、データ発生手段 1-01 の出力するアドレスを 1 ビット右へ (下位ビット方) ハードウェアによってシフトして、セレクタ 1-12 に対して出力する。

データ204をビット11から0に割り当て、拡張タをビット31から28とビット15から12に割ることで32ビット幅のデータ205を作る。

[0051] データ出力選択手段107は、データ手段101の出力するデータ選択手段によって、1ビット幅データ、つまり32ビットに拡張されたデータ選択手段105の出力を選択し出し力し、このデータは、タ読み出し手段108へ読み出される。

[0052] 従って、1ビット幅データの場合に、パックアメモリとして、1ビット幅のメモリを24ビット幅(=24ビット幅)用意すればよい。パックアメモリ像データだけで使いきるので、画像データ以外のなデータを格納するためのパックアメモリを必要とい。

[0053] なお、上記実験例ではデータの読み出しで32ビットで行なう表示をしたが、下記のメモリの例では4ビット幅のRAMから構成されるので、ビットや16ビット単位でも読み出すようにしても、いい。

[0054]

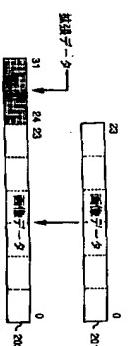
【発明の発明】 以上説明したように、本発明における(3×(2のn乗:nは0以上の整数))ビット幅データ幅の異なる複数のデータを処理する場合に、データ手段101の出力するデータを(2のN-n乗:Nは1の整数)幅連続して格納するデータを(3×(2のN-n乗:Nはビット幅のメモリと、メモリに格納されたデータにデータ手段101の出力)するデータのビット幅によって定め

(1) 24ビットデータの構成

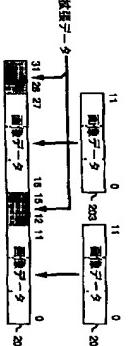
(2) 12ビットデータの構成

拡張データ
31/24
15/8
7/4
3/2
1/1

卷之三

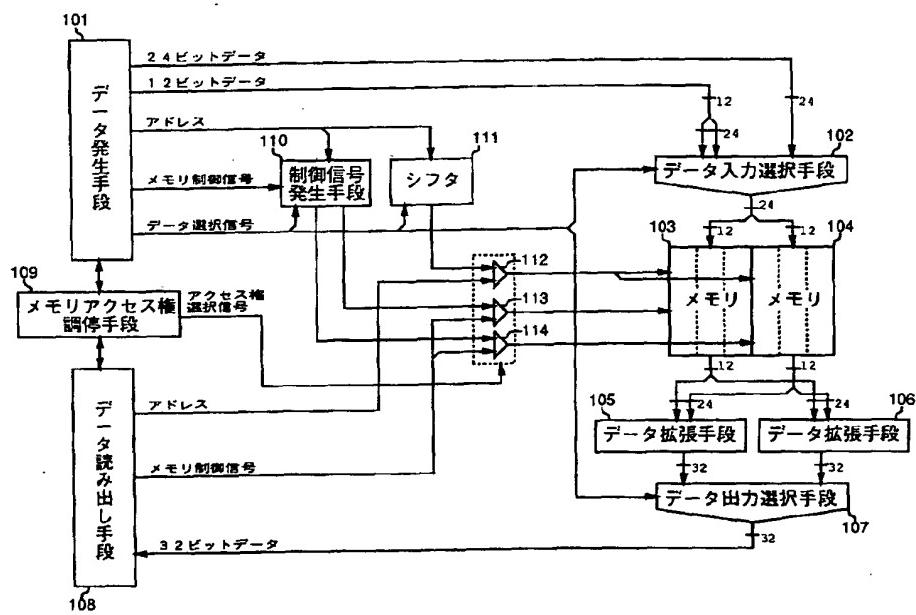


(2) 12ビット浮点数

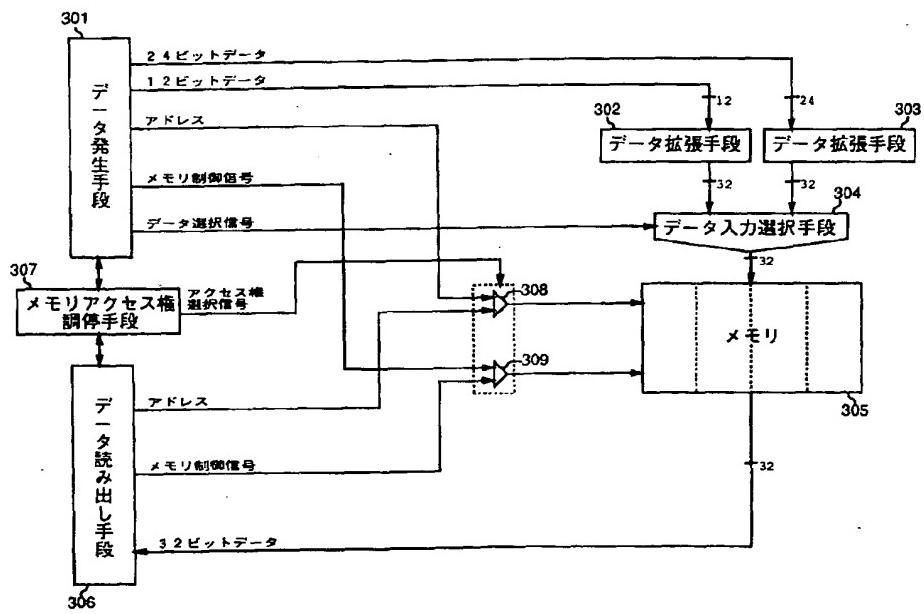


支那の歴史と文化

【図1】

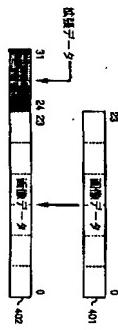


【図3】



[図4]

(1) 24ビットデータの場合



(2) 12ビットデータの場合

